

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

JPAB

CLIPPEDIMAGE= JP360087551A

PAT-NO: JP360087551A

DOCUMENT-IDENTIFIER: JP 60087551 A

TITLE: MULTI-VALUE TRANSMISSION SYSTEM

PUBN-DATE: May 17, 1985

INVENTOR-INFORMATION:

NAME

TORII, NAOYA

AKIYAMA, RYOTA

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

APPL-NO: JP58195345

N/A

APPL-DATE: October 20, 1983

INT-CL (IPC): H04L025/49; H03M005/16 ; H03M013/00

US-CL-CURRENT: 375/293

ABSTRACT:

PURPOSE: To detect accurately a transmission line error by regenerating easily a clock at the reception side in a multi-value transmission system with ternary 4 wires.

CONSTITUTION: Transmission data is fed to a converting table 11, while any level of D1∼D4 is kept "1", data read from the table 11 is fed to DA converting circuits 13, 14 and latched to a latch circuit 12 at the same time. The latched signal is applied again to the conversion table 11 with a delay of one timing. The content of the converting table 21 at the reception side is as shown in the figure, and when a transmission signal SS of ternary two doubles is "22" with ternary 4 wires, for example, and an i-1 symbol is "02", since address A4∼A7 are "1010" and addresses A0∼A3 are "0010", the read data is "0010", i.e., reception data of the D3, and an error signal E goes to "0" and the display having no error is performed.

COPYRIGHT: (C)1985, JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-87551

⑮ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和60年(1985)5月17日

H 04 L 25/49
H 03 M 5/16
13/00

7345-5K

7530-5J

7530-5J

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 多値伝送方式

⑰ 特 願 昭58-195345

⑱ 出 願 昭58(1983)10月20日

⑲ 発 明 者 鳥 居 直 哉 川崎市中原区上小田中1015番地 富士通株式会社内
⑳ 発 明 者 秋 山 良 太 川崎市中原区上小田中1015番地 富士通株式会社内
㉑ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地
㉒ 代 理 人 弁 理 士 柏 谷 昭 司 外1名

明 細 書

1 発明の名称 多値伝送方式

2 特許請求の範囲

送信側の変換装置内の変換テーブルにより送信データを3値2タブルの送信信号に変換して3値4ワイヤの伝送路により伝送し、該伝送路を介して受信した受信信号を受信側の変換装置内の変換テーブルにより、送信データと同じデータに復号する多値伝送方式に於いて、前記送信側の変換装置内の変換テーブルに、前記送信データと1タイミング前に変換された送信信号とをアドレスとして読出される送信信号を、直交座標上で3値2タブルの1単位離れた位置に割当てて格納し、前記受信側の変換装置内の変換テーブルに、受信信号と1タイミング前の受信信号とをアドレスとして読出されるデータを格納すると共に、前記直交座標上で3値2タブルの1単位離れた位置以外の受信信号をアドレスに含む時に読出されるエラー信号を格納したことを特徴とする多値伝送方式。

3 発明の詳細な説明

発明の技術分野

本発明は、3値4ワイヤで多値情報を伝送する多値伝送方式に関するものである。

従来技術と問題点

多値情報を伝送する方式として、3値4ワイヤによる方式が知られている。例えば第1図に示すように、送信データを変換装置1により多値情報に変換し、送信装置2から4ワイヤからなる伝送路5に送出し、受信側では受信装置3で受信し、送信側の変換装置1に於ける変換処理と逆の変換を行う変換装置3によりデータを再生するものである。3値レベルは、例えば、2ワイヤの一方のワイヤを+、-、0の何れかの値とし、これに対応して他方のワイヤを-、+、0の極性とする事ができるものであり、この2ワイヤを2組用いて4ワイヤにより、3値2タブルで多値情報を伝送することができるものである。

第2図は従来の変換テーブルの説明図であり、データD1~D8は、現時点のシンボルiと1タイミング前のシンボルi-1との関係により伝送

されるもので、3値を0, 1, 2で示し、例えば、 $i-1$ シンボルが3値2タブル表示の“01”である時に、データD3を送信する場合は、 i シンボルは“11”となる。次に同じデータD3を送信する場合、1タイミング前のシンボルが“11”であつたから、 i シンボルは“21”となるものである。

第3図は送受信データの一例の説明図であり、SDは送信データ、SSは3値2タブルの送信信号、RSは受信信号、RDは受信データを示し、初期値を“00”とした場合についてのものである。①のタイミングで送信データをD4とすると、第2図の変換テーブルから送信信号は“11”となる。次の②のタイミングで送信データをD3とすると、送信信号は“21”となる。以下同様に③～⑥のタイミングでデータD7, D2, D2, D5, D8を送信すると、送信信号は、“12”, “21”, “10”, “02”となる。第2図に於ける①～⑥は、前述の送信データに対応した送信信号を示すものである。

受信側では、初期値が“00”で①のタイミングの受信信号が“11”であることにより、変換テーブルから受信データはD4に変換される。次の②のタイミングの受信信号が“21”であるから、受信データはD3となり、③のタイミングの受信信号が“12”であるから、受信データはD7となる。次の④のタイミングの受信信号が伝送路エラーにより“22”となつたとすると、第2図の変換テーブルから、受信データはD3として復号されることになる。即ち送信データがD2であつたものが受信データはD3として復号されることになる。この伝送路エラーが次の⑤のタイミングの受信データに波及し、正しく受信できても受信データはD4となる。しかし、次の⑥のタイミングの受信信号が正しい場合は、正しい受信データD8に復号されることになる。即ち伝送路エラーは次のタイミングの受信データに影響を及ぼすが、更に次のタイミングの受信データには波及しないことになる。又必ず2タブルの一方が変化するので、受信側のクロック再生が容易となるも

のである。

前述のように、3値4ワイヤによる多値伝送方式は、伝送路エラーが発生しても、2シンボル以上エラーが波及しないものであり、且つクロックの再生が容易である利点がある。しかし、エラーの発生を検出することができない欠点があつた。

発明の目的

本発明は、3値4ワイヤによる多値伝送方式に於いて、伝送路エラーを検出できるようにすることを目的とするものである。

発明の構成

本発明は、送信側の変換装置内の変換テーブルにより送信データを3値2タブルの送信信号に変換して3値4ワイヤの伝送路により伝送し、該伝送路を介して受信した受信信号を受信側の変換装置内の変換テーブルにより、送信データと同じデータに復号する多値伝送方式に於いて、前記送信側の変換装置内の変換テーブルに、前記送信データと1タイミング前に変換された送信信号とをアドレスとして読出される送信信号を、直交座標上

で3値2タブルの1単位離れた位置に割当てて格納し、前記受信側の変換装置内の変換テーブルに、受信信号と1タイミング前の受信信号とをアドレスとして読出されるデータを格納すると共に、前記直交座標上で3値2タブルの1単位離れた位置以外の受信信号をアドレスに含む時に読出されるエラー信号を格納したものであり、以下実施例について詳細に説明する。

発明の実施例

第4図は本発明の実施例の要部ブロック図であり、11はROM(リードオンリメモリ)等からなる変換テーブル、12はラッチ回路、13及び14はDA変換回路、15及び16は送信回路、17は4ワイヤからなる伝送路、18及び19は受信識別回路、20はラッチ回路、21はROM(リードオンリメモリ)等からなる変換テーブル、22はクロック再生回路である。変換テーブル11とラッチ回路12とは送信側の変換装置内に設けられ、変換テーブル21とラッチ回路20とは受信側の変換装置内に設けられるものであり、

送信側に於いて、送信データSDは、データD1～D4の何れかを“1”として入力されるものであり、この送信データSDとラッチ回路12でラッチされたi-1シンボルとをアドレスとして変換テーブル11をアクセスし、この変換テーブル11から3値2タブルの送信信号が読出されるものであり、この送信信号は送信クロックCSによりラッチ回路12にラッチされる。変換テーブル11から読出された送信信号は合計4ビットの2値信号であるから、DA変換回路13、14により2ビットを3値の0、1、2に変換して、送信回路15、16により伝送路17に送出するものである。

受信側では、受信識別回路18、19により3値の0、1、2のレベルを識別して2値信号に変換し、変換テーブル21のアドレスA4～A7とする。又ラッチ回路20に加えられて、クロック再生回路22からのクロックによりラッチされる。クロック再生回路22は、前述のように3値2タブルのシンボルの少なくとも1タブルは変化する

るので、その変化を検出することにより、容易にクロックを再生することができる。即ち通常の2値信号の伝送方式のように、タンク回路や位相同期回路(PLL)等の回路を用いることなく、簡単な構成でクロックを再生することができる。又ラッチ回路20のラッチ出力が変換テーブル21のアドレスA0～A3となり、変換テーブル21はアドレスA0～A7によりアクセスされる。即ち受信信号と1タイミング前の受信信号とをアドレスとして変換テーブル21がアクセスされて、受信データRDのD1～D4が読出される。

第5図は変換テーブルの説明図であり、1シンボルを、2タブルの合計が偶数となるように逆定した場合を示すものである。従つて、第6図に示すように、①～④のタイミングで送信データSDがD2、D1、D4、D3、D2、D4、D3、D2の場合、初期値を“00”とすると、送信信号SSは、“11”、“20”、・・・“02”となる。この送信信号SSは第5図にも①～④で示している。

①のタイミングに於いては、伝送路エラーがないので、受信側の変換装置内の変換テーブル21のアドレスA0～A7は、“00000101”となり、データD2が読出される。次の②のタイミングで伝送路エラーが発生して、送信信号SSの“20”が“21”の受信信号RSとなつたとすると、変換テーブル21には“21”のアドレスA4～A7“1001”に対応する領域に受信データRDがなく、エラー信号Eが格納されているので、そのエラー信号Eが読出される。このエラーは次の受信データにまで波及することは、従来と同様であるので、④のタイミングに於いても変換テーブル21からエラー信号Eが読出される。又⑤、⑥のタイミングのように、連続して伝送路エラーが発生すると、変換テーブル21からは④のタイミングまでエラー信号Eが読出される。従つて、伝送路エラーを検出することができることになる。

第5図の変換テーブルを、直交座標上で3値を0、1、2で示すと、第7図の(a)に示すものと

なる。即ち1単位離れた位置にシンボルが割当てられていないので、1単位の誤りは確実に検出することができる。なお第7図の(b)は、第2図に示す変換テーブルの場合に相当するものであり、直交座標上では総ての位置に割当てられていることになる。又第7図の(c)は、(b)と同様に1単位離れた位置にシンボルを割当てるものであるが、(b)では5個の位置を占めることができるのに対して、4個の位置を占めることになり、送信データの種類が1個少なくなる。しかし、1単位の誤りを確実に検出することができることは、(b)の場合と同様である。この(c)が2タブルの合計が偶数の場合を示し、(d)が奇数の場合を示すことになる。

第8図は受信側の変換テーブルのアドレスと読出データとの説明図であり、ラッチ回路20のラッチ出力がi-1シンボルで、受信識別回路18、19の出力が1シンボルとなる。3値4ワイヤにより3値2タブルの送信信号SSが、例えば、“22”で、i-1シンボルが“02”であるとすると、アドレスA4～A7は“1010”、A

ドレスA0～A3は“0010”となるから、送出データは“0010”、即ちD3の受信データとなる。又エラー信号Eは“0”で誤りなしを示すものとなる。

又伝送路エラーにより1単位の誤りが発生し、2タブルの合計が奇数となると、アドレスA4～A7は受信信号誤りの領域を示すものとなり、エラー信号Eは“1”で誤りありを示すものとなる。又次の受信信号についても、ラッチ出力によるアドレスA0～A3によつて送出されたエラー信号Eは“1”となり、誤りありを示すものとなり、第5図に示す変換テーブル以外の受信信号の場合に於てエラー信号Eが“1”として送出され、誤りありを示すので、伝送路エラーを検出することができる。

送信側の変換テーブル11は、第8図に示す変換テーブルに於いて、 $i-1$ シンボルと送信データD1～D4をアドレスとし、 i シンボルを送出データとした構成とすることにより、送信データD1～D4を3値2タブルに変換して送信するこ

とができる。その場合は、エラー信号Eに対応する領域を省略することができる。

前述の実施例は、3値2タブルにより多値伝送する場合についてのものであるが、P値nタブルの場合にも適用することができるものである。この場合の伝送可能な送信データ数Mは、

$$M = (P_{nn} - 1) / 2$$

となる。前述の実施例では、 $P = 3$ 、 $n = 2$ であるから、 $(3_{22} - 1) / 2 = 4$ となり、送信データはD1～D4となる。又 $P = 3$ 、 $n = 3$ とすれば、 $(3_{33} - 1) / 2 = 13$ となる。

発明の効果

以上説明したように、本発明は、送信側の変換装置内の変換テーブル11に、送信データと1タイミング前に変換された送信信号とをアドレスとして送出される送信信号を、直交座標上で3値2タブルの1単位離れた位置に割当てて格納し、受信側の変換装置内の変換テーブル21に、受信信号と1タイミング前の受信信号とをアドレスとして送出されるデータを格納する共に、前記直交座

標上で3値2タブルの1単位離れた位置以外の受信信号をアドレスに含む時に送出されるエラー信号Eを格納したものであるから、伝送路エラーにより3値2タブルの1単位のエラーが発生した場合に、確実に検出することができるものである。従つて多値伝送の信頼性を向上することができる利点がある。

4 図面の簡単な説明

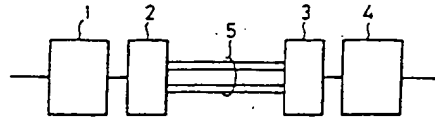
第1図は多値伝送方式の概略ブロック図、第2図は従来の変換テーブルの説明図、第3図は従来の多値伝送方式による伝送路エラーが発生した場合の動作説明図、第4図は本発明の実施例の要部ブロック図、第5図は本発明の実施例の変換テーブルの説明図、第6図は本発明の実施例の伝送路エラーが発生した場合の動作説明図、第7図(a)～(c)は直交座標上の3値2タブルのシンボルの位置の説明図、第8図は本発明の実施例の受信側の変換装置内の変換テーブルの説明図である。

11は変換テーブル、12はラッチ回路、13、14はDA変換回路、15、16は送信回路、

17は伝送路、18、19は受信識別回路、20はラッチ回路、21は変換テーブル、22はクロック再生回路である。

特許出願人 富士通株式会社
代理人弁理士 柏谷昭司
代理人弁理士 萩遠弘一

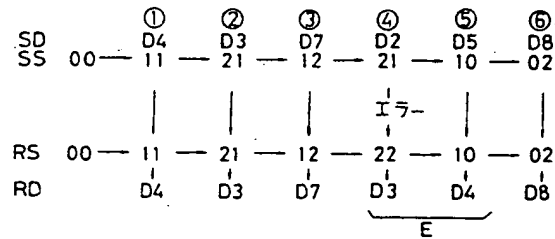
第 1 図



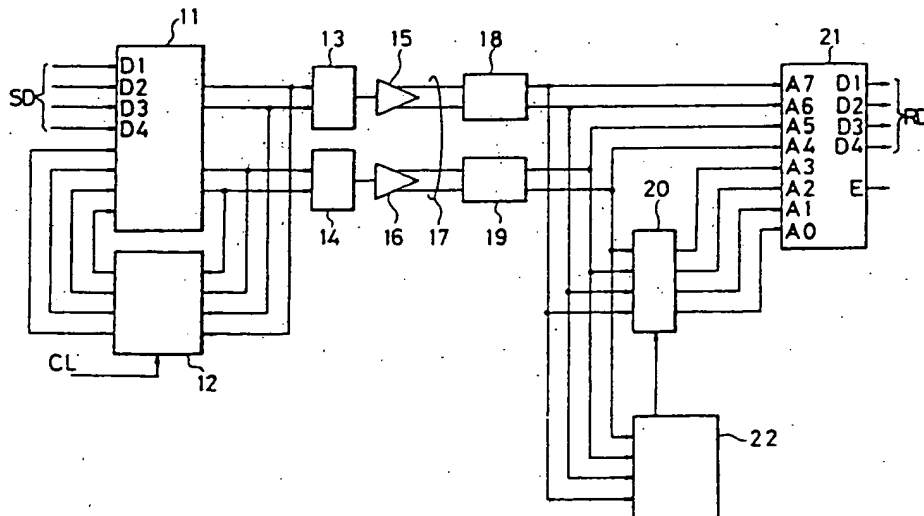
第 2 図

i-1	シンボル							
	D1	D2	D3	D4	D5	D6	D7	D8
00	01	02	10	11	12	20	21	22
01	02	10	11	12	20	21	22	00
02	10	11	12	20	21	22	00	01
10	11	12	20	21	22	00	01	02
11	12	20	21	22	00	01	02	10
12	20	21	22	00	01	02	10	11
20	21	22	00	01	02	10	11	12
21	22	00	01	02	10	11	12	20
22	00	01	02	10	11	12	20	21

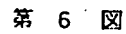
第 3 図



第 4 図



第 7 図



第 8 圖

- 298 -